

Requested Patent: JP8171799A

Title: SEMICONDUCTOR MEMORY DEVICE ;

Abstracted Patent: JP8171799 ;

Publication Date: 1996-07-02 ;

Inventor(s): IIJIMA HIROAKI ;

Applicant(s): SANYO ELECTRIC CO LTD ;

Application Number: JP19940313553 19941216 ;

Priority Number(s): ;

IPC Classification: G11C11/413 ; G11C11/401 ; H03H17/02 ;

Equivalents:

ABSTRACT:

PURPOSE: To use it as a data storage part of a digital filter by attaining access from both directions of bit and word.

CONSTITUTION: First bit lines B0 x, B1 x,... are connected to plural memory cells 80, 83,... in the direction of the word through source/drain paths of MOS transistors 803, 804, and address signals. Ax0, Ax1,... are supplied to the gates of the MOS transistors 803, 804 in plural memory cells 80, 81,... in the direction of the bit. Simultaneously, second bit lines B0 y, B1 y,... are connected to plural memory cells 80, 81,... in the direction of the bit through the source/drain paths of the MOS transistors 805, 806, and the address signals Ay0, Ay1,... are supplied to the gates of the MOS transistors 805, 806 in plural memory cells 80, 83,... in the direction of the word, and read/write circuits are connected to the first and second bit lines respectively.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-171799

(43)公開日 平成8年(1996)7月2日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/413

11/401

H 0 3 H 17/02

K 8842-5J

G 1 1 C 11/ 34

J

3 6 2 C

審査請求 未請求 請求項の数2 O L (全 10 頁)

(21)出願番号 特願平6-313553

(22)出願日 平成6年(1994)12月16日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 飯島 広明

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

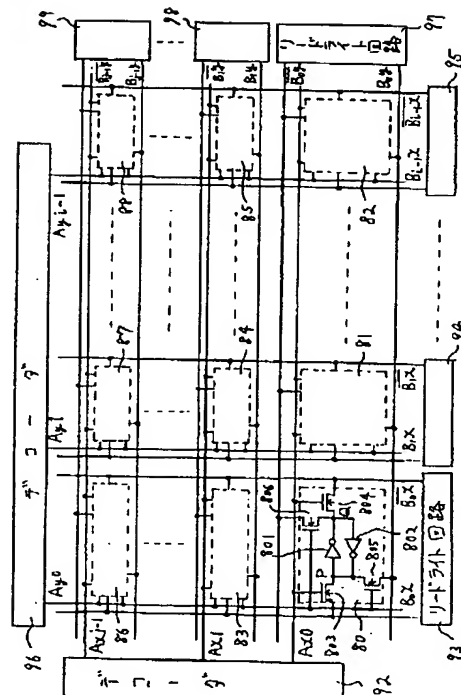
(74)代理人 弁理士 岡田 敬

(54)【発明の名称】 半導体メモリ装置

(57)【要約】

【目的】 ビット方向とワード方向の両方向からのアクセスを可能とし、デジタルフィルタのデータ格納部として利用できるようにする。

【構成】 ワード方向の複数のメモリセル80、83…にMOSトランジスタ803、804のソースドレイン路を介して第1のビットラインBx0、Bx1、…を接続し、ビット方向の複数のメモリセル80、81…におけるMOSトランジスタ803、804のゲートにアドレス信号Ax0、Ax1…を供給すると共に、ビット方向の複数のメモリセル80、81…にMOSトランジスタ805、806のソースドレイン路を介して第2のビットラインBy0、By1、…を接続し、ワード方向の複数のメモリセル80、83…におけるMOSトランジスタ805、806のゲートにアドレス信号Ay0、Ay1…を供給し、且つ、第1及び第2のビットラインに各々リードライト回路を接続する。



1

2

【特許請求の範囲】

【請求項1】 複数のメモリセルと、該メモリセルのうち第1方向の複数のメモリセルに第1 MOSトランジスタのソースドレイン路を介して接続される第1のビットラインと、第2方向の複数のメモリセルにおける前記第1 MOSトランジスタのゲートにアドレス信号を供給する第1のアドレスラインと、前記メモリセルのうち第2方向の複数のメモリセルに第2 MOSトランジスタのソースドレイン路を介して接続される第2のビットラインと、第1方向の複数のメモリセルにおける前記第2 MOSトランジスタのゲートにアドレス信号を供給する第2のアドレスラインと、前記第1及び第2のビットラインに各々接続されたリードライト回路とを備えたことを特徴とする半導体メモリ装置。

【請求項2】 複数のメモリセルと、該メモリセルのうち第1方向の複数のメモリセルに第1 MOSトランジスタのソースドレイン路を介して接続される第1のビットラインと、第2方向の複数のメモリセルにおける前記第1 MOSトランジスタのゲートにアドレス信号を供給する第1のアドレスラインと、前記メモリセルのうち第2方向の複数のメモリセルに第2 MOSトランジスタのソースドレイン路を介して接続される第2のビットラインと、第1方向の複数のメモリセルにおける前記第2 MOSトランジスタのゲートにアドレス信号を供給する第*

$$X_n = -2^{15} X_{15}^{n-1} + 2^{14} X_{14}^{n-1} + \dots + 2^0 X_0^n$$

⋮

式(1)

$$X_{n-12} = -2^{15} X_{15}^{n-12} + 2^{14} X_{14}^{n-12} + \dots + 2^0 X_0^{n-12}$$

【0005】 フィルタ係数を、 k_m ($m=0\sim6$): 1 ※【0006】
6ビットの係数とすると、出力 Y_n は式(2)のように表される。 ※【数2】

$$Y_n = -2^{15} \{ k_0 (X_{15}^n + X_{15}^{n-12}) + k_1 (X_{15}^{n-1} + X_{15}^{n-11}) + \dots + k_6 X_{15}^{n-6} \} \\ + 2^{14} \{ k_0 (X_{14}^n + X_{14}^{n-12}) + k_1 (X_{14}^{n-1} + X_{14}^{n-11}) + \dots + k_6 X_{14}^{n-6} \}$$

⋮

式(2)

$$+ 2^0 \{ k_0 (X_0^n + X_0^{n-12}) + k_1 (X_0^{n-1} + X_0^{n-11}) + \dots + k_6 X_0^{n-6} \}$$

【0007】 ここで、以下の式(3)に示す小括弧内の値は、

* 2のアドレスラインと、前記第1のビットラインに接続されたリード回路と、前記第2のビットラインに接続されたリードライト回路とを備えたことを特徴とする半導体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複数のメモリセルより成る半導体メモリ装置に係わり、特に、乗算器を利用しないデジタルフィルタに最適なスタティックRAMに関する。

【0002】

【従来の技術】 まず、乗算器を用いないデジタルフィルタの基本原理解を説明する。デジタルフィルタの代表的な例であるFIRフィルタは、一般的に、図8に示すように構成されている。図8は、13次のFIRフィルタを示し、入力データ X_n を1サンプリング期間順次遅延する遅延素子1〜12と、各データを加算する加算器13〜18と、加算結果に係数 k_m を乗算する乗算器19〜25と、乗算結果を加算する加算器26とより構成される。

【0003】 ここで、データ X を2の補数で表現すると、式(1)で表され、

【0004】

【数1】

$$(X_i^n + X_i^{n-1}), (X_i^{n-1} + X_i^{n-2}), \dots, X_i^{n-k}$$

式(3)

但し、 $i = 1 \sim 15$

【0009】1ビット加算結果であって、その値は0もしくは1なので、Xの値に応じたkmの総和を予めROM等にテーブルとして記憶しておけば、Xをアドレスとすることにより式(2)における中括弧内の値は、この総和テーブルから読み出すことができ、従って、乗算器を用いずにFIR出力Ynを求めることができる。次に、このようなROMテーブルを用いたデジタルフィルタの従来構成を、図7に基づき説明する。

【0010】入力されるjビットのデータは、まず入力レジスタ30に入力され、このレジスタを介してデータ格納部31に格納される。データ格納部31は、jビットのデータを次数iに相当するiワード分格納するもので、通常、jビットのシフトレジスタをi本用いて構成される。i本のシフトレジスタ301、302、303、……は、シリアルに接続されると共に、各シフトレジスタのLSBもしくはMSBが次段のROMポインタレジスタ32の入力に接続されている。そして、1サンプリング期間内に1ビットずつシフトしながら、ROMポインタレジスタ32の内容を更新するようにしている。このROMポインタアドレス32は、上述した係数kmの総和をテーブルの形で記憶したROMテーブル33をアドレス指定するものであり、その結果、ROMテーブル33からは、データXに応じた係数の総和、即ち、式(2)における中括弧内の値が読み出される。順次読み出される総和は、加算器340を含む演算部34で、式(2)に示す重み付けがなされながら順次加算されていき、出力Ynが出力レジスタ35に得られる。

【0011】このようなデジタルフィルタにおいては、上述したようにデータ格納部としてシフト動作が必要になるため、通常のRAMを用いることはできなかった。

【0012】

【発明が解決しようとする課題】従来のデジタルフィルタにおいては、データ格納部としてシフトレジスタを用いており、このシフトレジスタを構成する要素としては通常ラッチが用いられるが、シフトレジスタは1サンプリング期間に1度使用されることになるので、スタティクタイプが好ましい。しかしながら、スタティクタイプのラッチは、LSI化した場合、占有面積が非常に大きくなるため、チップサイズの大型化につながってしまう。

【0013】そこで、ダイナミックタイプのラッチを用いることが考えられるが、シフトサイクルが長い場合や、一時的にシフトをストップする場合に、チャージが抜けて誤動作することがあり、と言って、リフレッシュ回路を設けると制御が複雑になるという問題がある。よって、本発明は、上記データ格納部として最適なスタ

ティックRAMを提供することを目的とする。

【0014】

【課題を解決するための手段】本発明は、複数のメモリセルと、該メモリセルのうち第1方向の複数のメモリセルに第1MOSトランジスタのソースドレイン路を介して接続される第1のビットラインと、第2方向の複数のメモリセルにおける前記第1MOSトランジスタのゲートにアドレス信号を供給する第1のアドレスラインと、前記メモリセルのうち第2方向の複数のメモリセルに第2MOSトランジスタのソースドレイン路を介して接続される第2のビットラインと、第1方向の複数のメモリセルにおける前記第2MOSトランジスタのゲートにアドレス信号を供給する第2のアドレスラインと、前記第1及び第2のビットラインに各々接続されたリードライト回路とにより、半導体メモリ装置を構成することにより、上記課題を解決するものである。尚、一方のビットラインに対してはリードのみを行う回路構成としても良い。

【0015】

【作用】本発明では、複数のメモリセルに対して、第2の方向から書き込み及び読み出しが可能となり、且つ、第1の方向から読み出しが可能となる。従って、デジタルフィルタのデータ格納部として採用することが可能となる。尚、第1方向への書き込みを必要ならば行っても良い。

【0016】

【実施例】本発明による半導体メモリ装置の実施例を説明する前に、この半導体メモリ装置をデータ格納部として採用するデジタルフィルタについて、まず説明する。図5は、本発明による半導体メモリ装置を採用したデジタルフィルタの構成を示すブロック図であり、図7と同一の構成については同一の符号を付している。

【0017】ここで、特徴的な構成はデータ格納部40であり、このデータ格納部40は、ビット方向とワード方向の双方からアクセス可能なスタティックRAM回路により構成されている。スタティックRAM回路は、概略的には、図5に示すように、jビット×iワードのメモリ部分401と、ビット方向のアドレスを指定するビットポインタ402と、ワード方向のアドレスを指定するワードポインタ403と、ワードポインタ403により指定されたjビットのデータを一旦保持するバッファレジスタ404と、タイミング発生回路405より成る。

【0018】以下、図6を参照しながら、スタティックRAM回路40の概略動作について説明する。まず、スタティックRAM回路40のメモリ部分401は、ワー

ドアドレス0に現在のサンプリングデータが格納され、ワードアドレスが大きくなるほどより過去にサンプリングされたデータが格納されるという順序になっており、ワードアドレス*i*-1に格納された最も古いデータは次のサンプル時に捨てられることとなる。

【0019】そこで、入力レジスタ30に*j*ビットのデータがセットされると、ビットポインタ402及びワードポインタ403が共に0に設定され、ワードポインタ403が示すワードアドレス0に、入力レジスタ30にセットされた*j*ビットのデータが書き込まれる。つまり、ワード方向の書き込みが行われる。次に、ビットポインタ402が示すビットアドレス0から1ビット×*i*ワード、即ち*i*ビットのデータがROMポインタレジスタ32に読み出され、その後、ビットポインタ402が順次インクリメントされ、インクリメントされる毎に*i*ビットのデータが読み出される。つまり、ビットアドレス0, 1, 2, ……………, *j*-1から、順次*i*ビット単位にビットデータが読み出され、ビット方向の読み出しが実現される。

【0020】このようにして、ビット方向のデータ読み出しが終了すると、次に、ワード方向の書き込み及び読み出しによるワードデータのシフト処理が実行される。この処理は、ビット方向の読み出しが終了した後行われるため、ビットポインタ402が*j*-1をカウントした後、ワードポインタ403に*i*-2が設定される。

【0021】そして、ワードポインタ403が示すワー*

$$S_0 = \{k_0 \cdot (X_{0,0}^n + X_{0,0}^{n-1}) + k_1 \cdot (X_{0,1}^{n-1} + X_{0,1}^{n-2}) + \dots + k_n \cdot X_{0,n}^{n-1}\}$$

⋮

$$S_{14} = \{k_0 \cdot (X_{14,0}^n + X_{14,0}^{n-1}) + k_1 \cdot (X_{14,1}^{n-1} + X_{14,1}^{n-2}) + \dots + k_n \cdot X_{14,n}^{n-1}\}$$

$$S_{15} = \{k_0 \cdot (X_{15,0}^n + X_{15,0}^{n-1}) + k_1 \cdot (X_{15,1}^{n-1} + X_{15,1}^{n-2}) + \dots + k_n \cdot X_{15,n}^{n-1}\}$$

【0024】すると、ROMテーブル33からは、まず、*S*₀が出力され、これが加算器340を介してシフトレジスタ341にセットされ、ここでシフトダウンされることによって1/2に除算され、次の総和*S*₁がROMテーブル33から出力されると、加算器340において*S*₁と除算された*S*₀が加算される。以下同様に、加算結果がシフトレジスタ341で除算され、これに新たな総和が加算されていく。よって、結果的には式

*ドアドレス*i*-2から*j*ビットのワードデータが読み出され、バッファレジスタ404に転送され、ここで一旦保持される。続いて、ワードポインタ403がインクリメントされ、このワードアドレス*i*-1にバッファレジスタ404に保持されたワードデータが書き込まれる。その後は、ワードポインタが-2され、ワードアドレス*i*-3に対して同様の処理を行う。つまり、あるワードアドレスのデータを読み出して一旦バッファレジスタ404に保持した後、読み出したワードアドレスの次のワードアドレスに保持したデータを書き込むことによって、ワードデータのシフト処理を行っているのである。このようなシフト処理を、ワードアドレス*i*-1から0までの各アドレスについて実行し、全てのデータをワード方向へシフトする。この動作によって、ワードアドレスには新たなデータが入力可能となり、データの順序が保たれる。

【0022】ところで、ROMポインタレジスタ32に順次*i*ビットのデータが入力されると、これらデータは順次アドレスとしてROMテーブル33に供給される。ここで、式(2)の中括弧で示される係数の総和のうち、2の0乗、2の1乗、……………、2の15乗に対応する総和を式(4)に示すように、*S*₀, *S*₁, ……*S*₁₅とする。

【0023】

【数4】

式(4)

(2)の総和が演算部34から出力レジスタ35に出力されることとなる。

【0025】但し、最上位の2の15乗はマイナスにしなければならないので、2の補数処理部342によって、出力された総和*S*₁₅が反転され、これに1が加算され、この結果がマルチプレクサ343を介して出力される。勿論、マルチプレクサ343では、他の場合はROMテーブル33の出力がそのまま選択される。次に、

ビットポインタ402とワードポインタ403の具体回路について説明する。

【0026】図3がビットポインタ402とワードポインタ403の具体回路例を示す図であり、ビットポインタ402は、5段のDタイプフリップフロップ501、502、503、504、505、NORゲート506、EX-ORゲート507、508、509、510、ANDゲート511、512、513よりなり、ワードポインタ403は、4段のDタイプフリップフロップ601、602、603、604、エッジ検出回路700、NORゲート605、EX-ORゲート606、607、608、609、610、611、ORゲート612、615、616、617、618、ANDゲート613、614、619、620、621、622、623、624、625、626よりなる。

【0027】ビットポインタ402は、タイミング発生回路405からのカウンタ制御信号1がLのときのみ動作するカウンタであって、この点を除いては通常のカウンタと同様の動作を行う。即ち、データが入力レジスタ30にセットされたことを示すデータセット信号が、タイミング発生回路405から出力されると、ビットカウンタ402はリセットされ、その後、カウントクロックに応じて、図4エ〜キに示すように単純にカウントアップを繰り返す。そして、カウント内容が $j=16$ になると、カウンタ制御信号1がHレベルとなり、カウンタの動作が停止すると共に、エッジ検出回路700で最終ビットのBP3が1になったことを検出して、ワードポインタ403を $i-2=11$ にセットする。

【0028】ワードポインタ403は、図4に示すように、タイミング発生回路405からのカウンタ制御信号2がLレベルのときのみ動作するものであって、このほか制御信号としてタイミング発生回路405からのリードライト信号R/Wを入力する。この信号R/Wは、メモリに対する制御信号であると共に、カウンタの動作を-2するか+1するかを決定しており、信号R/WがHレベルのとき-2し、Lレベルのとき+1する。従って、図4コ〜スに示すように、初期設定値11から順に+1、-2、+1、-2を繰り返し、ワードアドレスが0になったとき処理を終了する。この操作により、ワードデータのシフト処理が実現される。

【0029】次に、本発明の実施例であるスタティックRAMの具体回路例を、図1及び図2に示し、その動作を詳細に説明する。図1は、スタティックRAM回路40の全体構成を示しており、複数のメモリセル80、81、……、82、83が、X及びY方向のマトリクス状に配置されている。メモリセル80は、各々の入力を他方の出力にそれぞれ接続した2個のインバータ801及び802より成り、これらインバータはMOSトランジスタで構成されている。他のメモリセルも同様の構成である。

【0030】メモリセル80の一端Pには、NチャンネルMOSトランジスタ803が接続され、そのソースドレイン路を介してY方向に伸びるビットラインB0xが接続されており、他端Qには、NチャンネルMOSトランジスタ804が接続され、そのソースドレイン路を介してY方向に伸びる反転ビットラインB0xバーが接続されている。このNチャンネルMOSトランジスタ803、804のゲートは、X方向に伸びるアドレスラインAx0に接続されている。そして、Y方向に配置された各メモリセル80、83、……、86は、同一のビットラインB0x、B0xバーに接続され、X方向に配置された各メモリセル80、81、……、82は、同一のアドレスラインAx0に接続されている。他のメモリセルに関しても同様の構成である。

【0031】ここで、アドレスAx0、Ax1、……、Axj-1は、ビットポインタ402の内容をデコーダ92によりデコードしたアドレス信号であり、例えば、アドレスAx0が選択されると、このアドレスラインAx0に接続されたX方向の全てのメモリセル80、81、……、82に記憶されていたデータが、各ビットラインBx0、Bx1、……、Bxi-1を通して、各リードライト回路93、94、……、95によって読み出される。勿論、リードライト回路は、書き込みも行えるので、同一アドレスラインに接続されたX方向の全てのメモリセルに対する書き込みも可能となる。但し、デジタルフィルタを構成するためには、この書き込みは必要ない。

【0032】更に、本実施例のメモリセルにおいては、メモリセル80の一端Pには、もう1つのNチャンネルMOSトランジスタ805が接続され、そのソースドレイン路を介してX方向に伸びるビットラインB0yが接続されており、他端Qには、もう1つのNチャンネルMOSトランジスタ806が接続され、そのソースドレイン路を介してX方向に伸びる反転ビットラインB0yバーが接続されている。このNチャンネルMOSトランジスタ805、806のゲートは、Y方向に伸びるアドレスラインAy0に接続されている。そして、X方向に配置された各メモリセル80、81、……、82は、同一のビットラインB0y、B0yバーに接続され、Y方向に配置された各メモリセル80、83、……、86は、同一のアドレスラインAy0に接続されている。他のメモリセルに関しても同様の構成である。

【0033】アドレスAy0、Ay1、Ay2、……、Ayi-1は、ワードポインタ403の内容をデコーダ96によりデコードしたアドレス信号であり、例えば、アドレスAy0が選択されると、このアドレスラインAy0に接続されたY方向の全てのメモリセル80、83、……、86に記憶されていたデータが、各ビットラインBy0、By1、……、Byi-1を通して、各リードライト回路97、98、……、99によ

って読み出される。勿論、リードライト回路は、書き込みも行えるので、同一アドレスラインに接続されたY方向の全てのメモリセルに対する書き込みも可能となる。

【0034】図2に、リードライト回路93、94、……、95、97、98、……、99の具体回路例を示し、リードライト動作について更に詳しく説明する。ビットラインB、Bバーは、フリップフロップ101を構成する各NORゲート102、103の入力端子にそれぞれ接続されると共に、プリチャージ用のPチャンネルMOSトランジスタ104、105を各々介して電源電圧VDDに接続されている。また、フリップフロップ101の出力106は、インバータ107とアウトプットイネーブル信号OEに応じて開閉するクロックドCMOSインバータ108を介して、データバス109に接続されている。

【0035】更に、データバス109からの入力ライン110は、ライト信号WEに応じて開閉するクロックドCMOSインバータ111を介して、ビットラインBバーに接続され、データバス109からの入力ライン112は、インバータ113と、ライト信号WEに応じて開閉するクロックドCMOSインバータ114を介して、ビットラインBに接続されている。

【0036】尚、アウトプットイネーブル信号OEとしては、上述したリードライト信号R/Wが用いられ、ライト信号WEとしてはリードライト信号R/Wの反転信号が用いられる。そこで、まず、プリチャージ信号PRBがLレベルに成ることによって、PチャンネルMOSトランジスタ104、105がオンし、ビットラインB、Bバーは共にHレベルに保持される。今、ビットラインBに接続されているメモリセルが「1」を記憶しているとする、次に、信号OEがHレベルになると、フリップフロップ101の出力「1」が、2段のインバータ107及び108を介してデータバス109に読み出される。一方、プリチャージ後に、信号WEがHレベルになると、データバス109上のデータ、例えば「1」が、クロックドCMOSインバータ111により反転されてビットラインBバーに加えられるので、このビットラインBバーがLレベルに引き込まれ、且つ、インバータ113、114によりビットラインBがHレベルとなり、従って、データ「1」がビットラインに接続されたメモリセルに書き込まれる。

【0037】このようにして、スタティックRAM回路40では、ビット方向とワード方向の双方からのアクセスが可能となる。

【0038】

【発明の効果】本発明によれば、第1と第2の両方向からアクセスが可能となるので、デジタルフィルタのデータ格納部として利用することができるようになる。そして、この場合に、その占有面積を小さくでき、LSI化した場合にチップサイズを小型化することができる。

【図面の簡単な説明】

【図1】本発明の実施例の構成を示す回路図である。

【図2】本発明の実施例におけるリードライト回路の詳細回路図である。

【図3】デジタルフィルタにおけるビットポインタ及びワードポインタの具体回路を示す回路図である。

【図4】デジタルフィルタにおけるビットポインタ及びワードポインタの動作を説明するためのタイミングチャートである。

【図5】本発明の半導体メモリ装置をデータ格納部として用いたデジタルフィルタの構成を示すブロック図である。

【図6】図5のデータ格納部の概略構成を示すブロック図である。

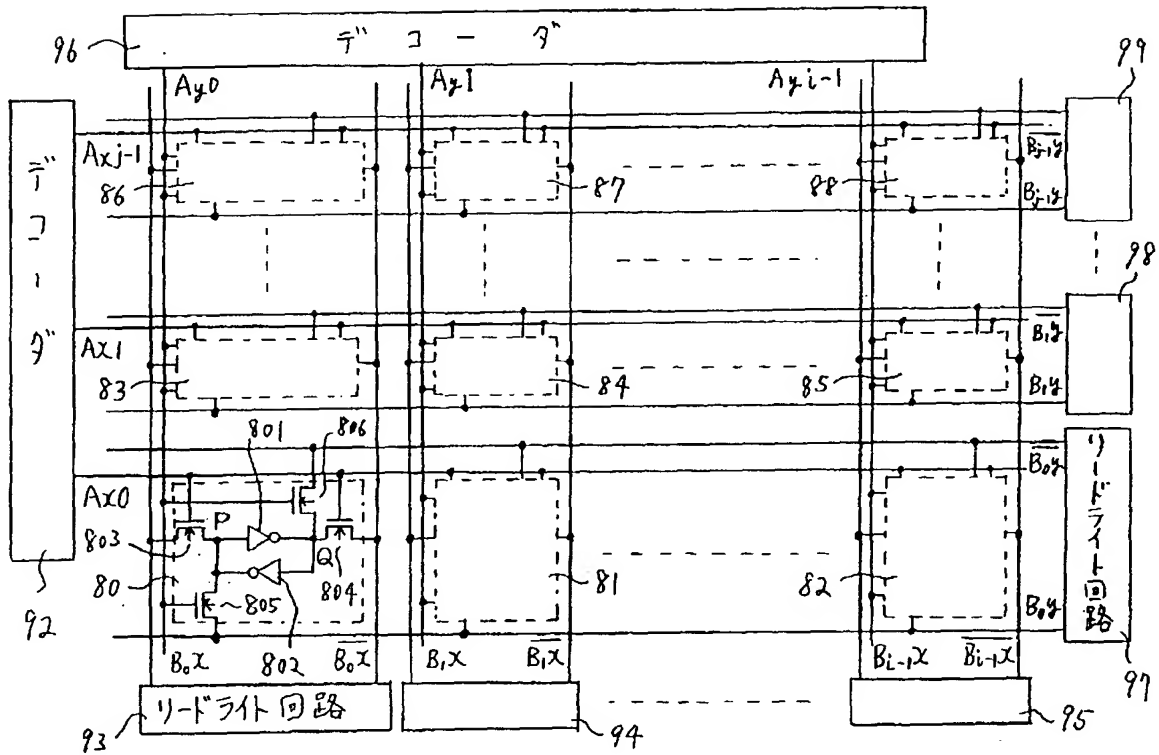
【図7】従来のデジタルフィルタの構成を示すブロック図である。

【図8】一般的なFIRフィルタの構成を示すブロック図である。

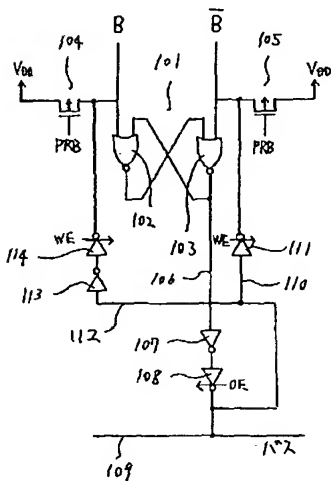
【符号の説明】

30 入力レジスタ
31 データ格納部
301、302、303 シフトレジスタ
32 ROMポインタレジスタ
33 ROMテーブル
34 演算部
340 加算器
35 出力レジスタ
40 スタティックRAM
401 メモリ部
402 ビットポインタ
403 ワードポインタ
404 バッファレジスタ
405 タイミング発生回路
80、81、……、88 メモリセル
803、804、805、806 NチャンネルMOSトランジスタ
92、96 デコーダ
93、94、95、……、99 リードライト回路

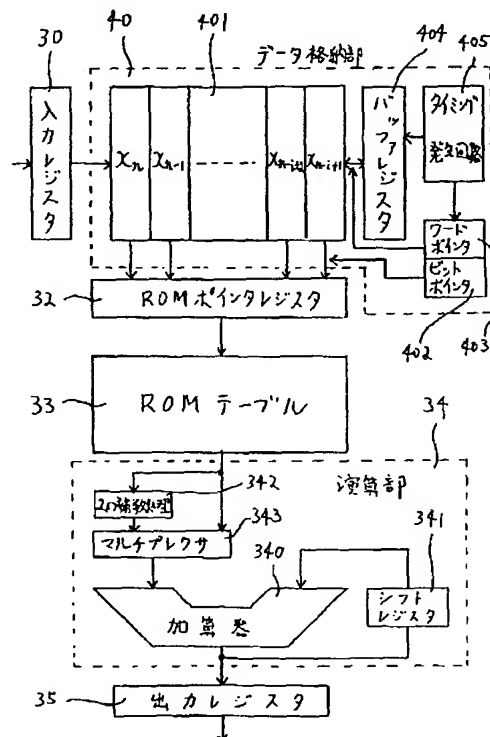
【図1】



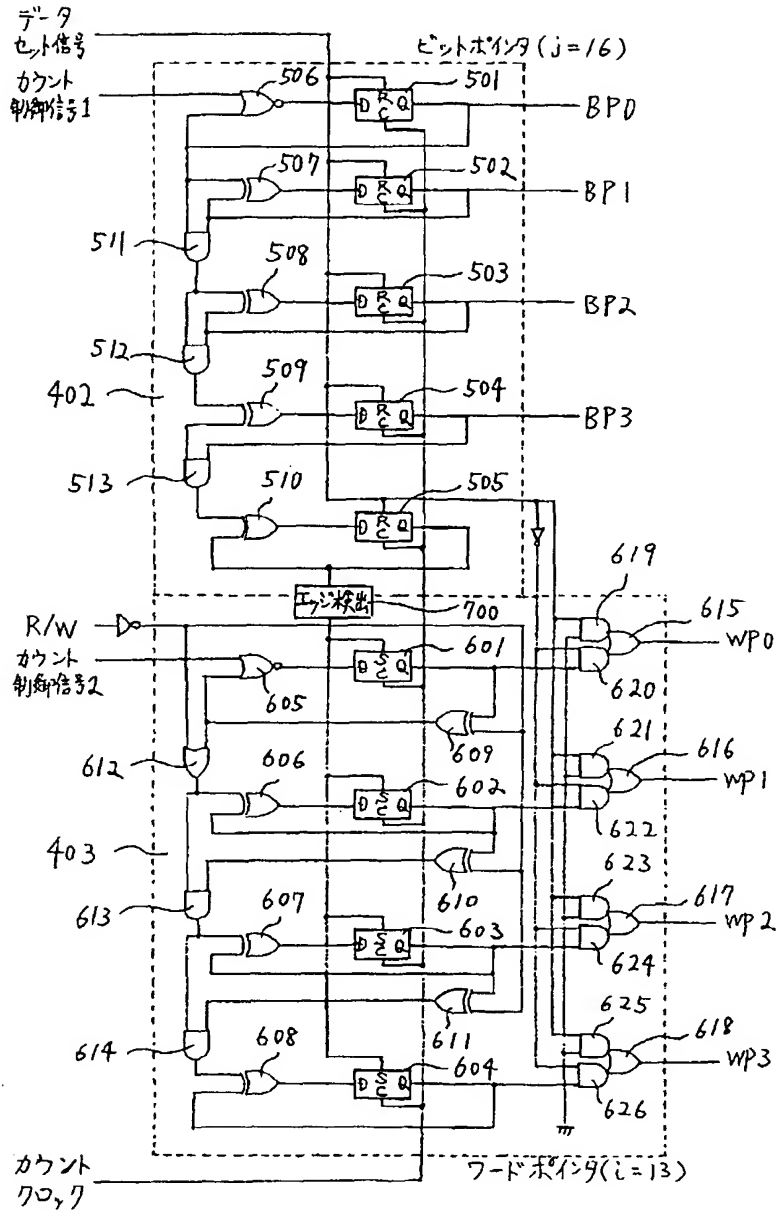
【図2】



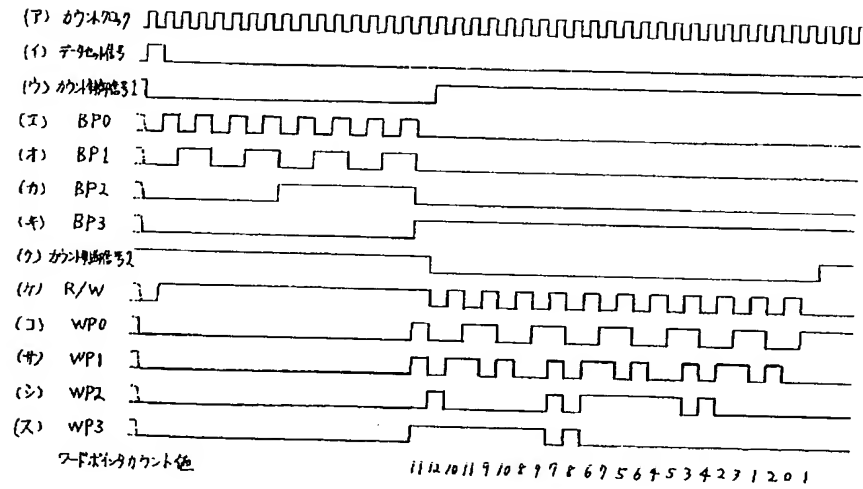
【図5】



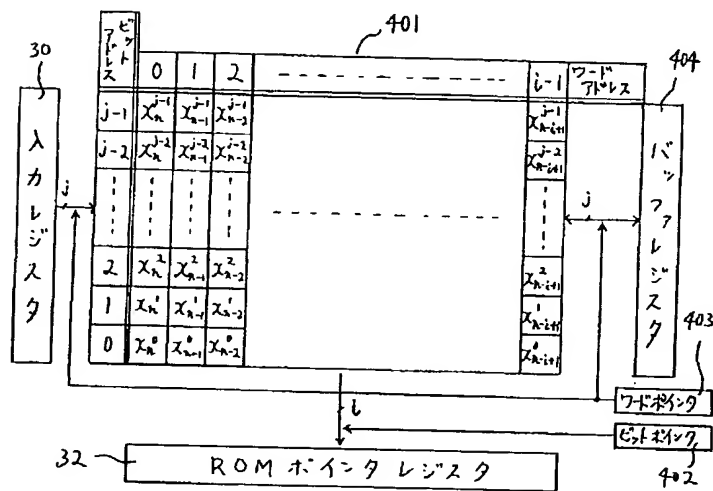
【図3】



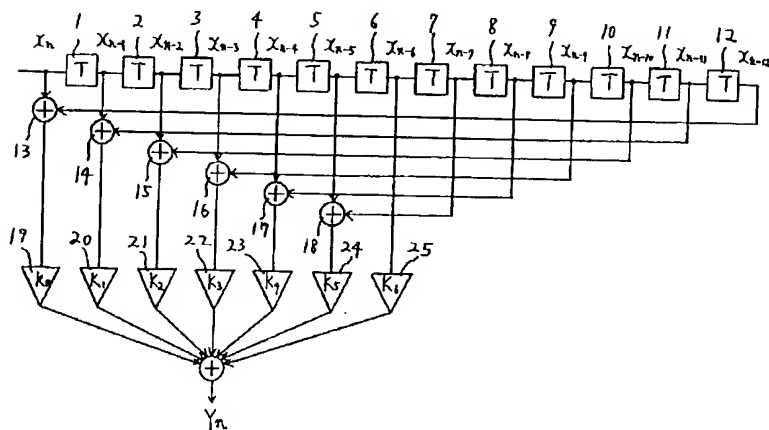
【図4】



【図6】



【図8】



【図7】

